

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-200121

(43)Date of publication of application : 02.09.1991

(51)Int.Cl.

G02F 1/136

G01R 31/26

G02F 1/13

G09G 3/36

H01L 21/66

(21)Application number : 02-306940

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 13.11.1990

(72)Inventor : JENKINS LESLIE C
WISNIEFF ROBERT L

(30)Priority

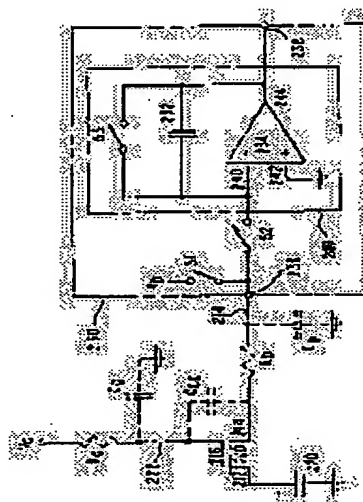
Priority number : 89 450635 Priority date : 13.12.1989 Priority country : US

(54) METHOD AND DEVICE FOR ANALOG TEST OF THIN FILM TRANSISTOR ARRAY

(57)Abstract:

PURPOSE: To quickly and economically test each cell in an array by providing a first integral circuit which is added to a thin film transistor/liquid crystal display (TFT/LCD) cell capacitor through a data line, a first gate supply voltage which drives the gate of a thin film transistor TFT, and a reset circuit which resets the integral circuit.

CONSTITUTION: A detection circuit 230 which detects the electric charge on a TFT/LCD cell capacitor 220 is provided with a first integral circuit 232 which is added to the TFT/LCD cell capacitor 220 through a data line 218, and the data line 218 is connected to the cell capacitor 220 through a TFT 210. The TFT 210 has a source 212 connected to the cell capacitor 220 and has a drain 214 connected to a data line 218. The first gate supply voltage drives the gate of the TFT 210, and a reset circuit S3 resets the integral circuit 232. Thus, the state of each transistor is displayed, and further, the leak current and CGS of each cell are measured.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-200121

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月2日

G 02 F 1/136
G 01 R 31/26
G 02 F 1/13
G 09 G 3/36
H 01 L 21/66

5 0 0

F

9018-2H
8203-2G
8806-2H
8621-5C
7013-5F

審査請求 有

請求項の数 14 (全14頁)

⑮ 発明の名称 薄膜トランジスタアレイのアナログ試験方法及び装置

⑯ 特 願 平2-306940

⑰ 出 願 平2(1990)11月13日

優先権主張 ⑱ 1989年12月13日 ⑲ 米国(US) ⑳ 450635

⑳ 発 明 者 レスリー・チャール アメリカ合衆国ニューヨーク州12531, ホルムス, アー
ス・ジェンキンス ル・アール ナンバー 1, ボックス 12ビー
㉑ 発 明 者 ロバート・ルーク・ウ アメリカ合衆国ニューヨーク州10598, ヨークタウン, バ
イスニーフークレイ・レイ 3303
㉒ 出 願 人 インターナショナル・アメリカ合衆国10504、ニューヨーク州 アーモンク(番
ビジネス・マシーン地なし)
ズ・コーポレーション
㉓ 復 代 理 人 弁理士 湯浅 恭三 外1名

明 細 書

1 (発明の名称)

薄膜トランジスタアレイのアナログ試験方法及び装置

2 (特許請求の範囲)

1. TFT/LCDセル・コンデンサの電荷を検出するための検知回路において、

薄膜トランジスタを介して前記TFT/LCDセル・コンデンサに接続されたデータラインを介して前記TFT/LCDセル・コンデンサに付加された第1の積分回路と、

ゲートと、前記データラインに接続されたドレインと、前記TFT/LCDセル・コンデンサに接続されたソースとを有する前記薄膜トランジスタと、

前記薄膜トランジスタの前記ゲートを駆動するようになされた第1のゲート電源電圧と、

前記積分回路をリセットするようになされたリセット回路と、

を備える検知回路。

2. 請求項1記載の検知回路において、

前記積分回路は、出力と、反転入力と、該反転入力と前記出力間に接続されたコンデンサとを有する演算増幅器を備え、

前記リセット回路は前記TFT/LCDセル・コンデンサの両端子間に接続されている検知回路。

3. 請求項2記載の検知回路において、前記リセット回路はスイッチを備える検知回路。

4. 請求項2記載の検知回路において、

前記リセット回路は、反転入力、非反転入力および出力を有し、かつスイッチに接続された第2の演算増幅器を備え、

前記スイッチの一方の端子は前記第1の演算増幅器の前記反転入力に接続され、前記スイッチの他方の端子は前記第2の演算増幅器の前記出力に接続され、

前記第2の演算増幅器の前記反転入力は基準電圧に接続され、

前記第2の演算増幅器の前記非反転入力はアース電位に接続され、

前記スイッチは、接スイッチを開成または閉成するイネーブル入力を有し、

前記イネーブル入力のリセット信号に接続されている検知回路。

5. 請求項1記載の検知回路において、所定の時間で前記のセルに電荷を付与する手段をさらに備える検知回路。

6. 請求項5記載の検知回路において、前記電荷を付与する手段は可変電圧電源を前記データラインに接続するリセット可能スイッチを備える検知回路。

7. 入力端子と出力端子とを有する薄膜トランジスタ試験回路において、

アース電位に接続された非反転入力端子と、反転入力端子と、前記試験回路の出力端子に接続された出力端子とを有する演算増幅器と、

前記反転入力端子と前記出力端子との間に接続されたコンデンサと、

第1の電位と前記試験回路の入力端子との間に接続された第1のスイッチと、

て前記接点電極に電気的に接続され、かつアドレス可能となり、

前記測定するステップは、前記第1の接点電極と、前記第1の接点電極に電気的に接続されないでそれと関連をもたないアドレス電極との間の容量を測定するステップを有することを特徴とする試験方法。

10. 請求項9記載の試験方法において、

各接点電極と、その接点電極に電気的に接続されないでそれと関連をもたないアドレス電極との間の容量を個別に測定するステップをさらに有する試験方法。

11. 請求項10記載の試験方法において、

各接点電極は、電極パッドと、第1の入力、第2の入力および出力を有するスイッチとを備え、接スイッチの第1の入力は前記接点電極と関連する一方のアドレス電極に電気的に接続され、前記スイッチの第2の入力は前記接点電極と関連する他方のアドレス電極に電気的に接続され、前記スイッチの出力は前記電極パッド電気的に接続され、

前記反転入力端子と前記試験回路の入力端子との間に接続された第2のスイッチと、

前記反転入力端子と前記試験回路の出力端子との間に接続された第3のスイッチと、

を備える薄膜トランジスタ試験回路。

8. 部分的に構成された部分電子回路であって、1つの完全な回路を形成するために残りの回路と結合することが可能で、かつ前記残りの回路に電気的に接続可能な接点電極のフレイと、前記接点電極に電気的に接続可能なアドレス電極のフレイとを有する部分電子回路を試験する方法において、

少なくとも第1の接点電極に沿って延在しかつそれと隣接している試験電極を前記部分電子回路に設けるステップと、

前記第1の接点電極と前記試験電極との間の容量を測定するステップと、

を備える試験方法。

9. 請求項8記載の試験方法において、

前記アドレス電極は、前記接点電極に関連した特別の一封のアドレス電極を付勢することによ

各測定ステップは、

前記電極パッドに電荷を蓄積するように接点電極と関連するアドレス電極を付勢するステップと、

前記電極パッドに蓄積された電荷を測定するステップと

を有することを特徴とする試験方法。

12. セル・コンデンサと、ゲート、ソースおよびドレインセル・コンデンサに接続されているドレインを有する薄膜トランジスタとで構成されるセルを含むTFT/LCDを、データラインを介して前記ドレインに選択的に結合される積分手段とリセット手段とを有する検知回路を用いて試験する方法において、

第1の所定のゲート電圧を前記ゲートに付与することにより前記薄膜トランジスタをターンオフするステップと、

前記リセット回路を用いて前記積分手段をリセットするステップと、

前記セル・コンデンサを充電するのに十分な値まで前記ドレインの電圧を上昇させるステップと、

特開平3-200121(3)

前記薄膜トランジスタをターンオンするのに十分な第2の所定のゲート電圧を前記ゲートに付与するステップと、

前記セル・コンデンサを所定の試験値まで充電するのに十分な第1の所定時間だけ待つステップと、

前記トランジスタをターンオフするために前記ゲートに第1のゲート電圧を付与するステップと、

第2の所定時間だけ待つステップと、

第2の所定時間中前記ドレインの電圧をアース電位近くまで低下させるステップと、

前記第2の所定時間中前記ドレインの電圧を差断するステップと、

前記トランジスタをターンオンするため前記ゲートに前記第2のゲート電圧を付与するステップと、

第3の所定時間だけ待つステップと、

前記トランジスタをターンオフするために前記ゲートに前記第1のゲート電圧を付与するステップと、

された積分コンデンサと、

第1の電位と前記試験回路の入力端子との間に接続された制御可能な第1のスイッチと、

前記反転入力端子と前記試験回路の入力端子との間に接続された制御可能な第2のスイッチと、

前記反転入力端子と前記試験回路の出力端子との間に接続された制御可能な第3のスイッチとを備える試験方法において、

前記第2のスイッチを開成するステップと、

前記第3のスイッチを開成するステップと、

前記第1のスイッチを開成するステップと、

前記データラインの時定数に対応する第1の所定時間だけ待つステップと、

前記薄膜トランジスタをオンにバイアスするのに十分な電圧を前記ゲート端子に付与するステップと、

前記薄膜トランジスタに対する前記の試験時間に対応する第2の所定時間だけ待つステップと、

前記トランジスタをオフにバイアスするのに十分な電圧を前記ゲート端子に付与するステップと、

前記積分手段の出力の電位を測定するステップとを有する試験方法。

13. 請求項12記載の試験方法において、

前記第1の所定時間は前記ゲートラインの少なくとも1つの時定数であり、

前記第2の所定時間は少なくともホールド時間に等しい時間であり、

前記第3の所定時間は少なくとも2つのセルの放電定数である試験方法。

14. ゲートラインを介してゲート端子に接続されたゲートと、データラインを介してドレイン端子に接続されたドレインと、ソース端子を介してセル容量に接続されたソースとを有する薄膜トランジスタを、入力端子および出力端子を有する試験回路を用いて試験する方法にあって、

該試験回路は、

アース電位に接続された非反転入力端子、反転入力端子、および前記試験回路の出力端子に接続された出力端子を有する演算増幅器と、

前記反転入力端子と前記出力端子との間に接続

試験ホールド時間に対応する第3の所定時間だけ前記第2のスイッチを開成するステップと、

第4の所定時間後に前記第3のスイッチを開成するステップと、

前記薄膜トランジスタをターンオンするのに十分な電圧を前記ゲートに付与するステップと、

前記セル容量より前記積分コンデンサに電荷を転送するのに十分な第5の所定時間だけ待つステップと、

前記トランジスタをターンオンするのに十分な電圧を前記ゲートに付与するステップと、

前記ゲートラインのRC時定数に対応する第6の所定時間だけ待つステップと、

前記出力ノードをサンプルリングするステップと

を有する試験方法。

3. [発明の詳細な説明]

(産業上の利用分野)

本発明は、一般的には、薄膜トランジスタおよび液晶表示アレイを試験するための方法および装

置に関し、より詳細には、TFT/LCDセル・コンデンサに電荷を与え、短時間経過後にそのコンデンサに保持された電荷を測定するための方法および装置に関する。

(従来の技術および発明が解決しようとする課題)

上記のようなアレいを液晶表示パネル(LCD)に組立てるに先立ち、LCD内の全セルを試験するのが望ましい。この試験を行うことにより、不合格となるアレいに対する位置合わせ、組立て(アッセンブリ)および充電の費用を省ける。通常、1つのセルは1つの薄膜トランジスタ(TFT)と、1つのコンデンサの一方の電極として電気的に形成可能な1つのパッドとからなる。したがって、電気的に、このセルは、ソースに直列セル容量が付加された1つのTFTとして表現される。このアレい内の各々のセルを試験したので費用が高つく時間がかかるため、アレいの境界上の試験領域に位置する個々のセルを用いてブリアッセンブリ試験を行うのが通例となっている。このブリアッセンブリ試験ではバス連続性、個々の

トランジスタの機能性またはインジウム-スズ酸化物(ITO)に対する接触性に対する検査を行わないので、この種のブリアッセンブリ試験にパスしてもディスプレイとしての許容水準には達しないフレイが出るおそれがある。したがって、アレ이가適正に動作することを保証するためにアレい内の各セルを迅速かつ経済的に試験できる方法および装置が提供されれば好都合である。そして、そのような方法および装置によって個々のセルの動作特性に関する情報が与えられれば、より好都合である。通常、アッセンブリに先立って試験を行う時、ディスプレイのバックプレートは適正な位置になく、これがためにセルの容量が減少し、そこに蓄積されている電荷の測定が一層難しくなる。

アレい内の個々の素子を試験する従来の方法はアレいを機械的にプローブするステップを含むものである。例えば、機械式プローブを用いることでソースおよびドレインのパッドにアクセスすることができる。ソースおよびドレインのパッドに

一度アクセスすることによって、個々のTFTの状態を決定することができる。しかしながら、残念なことに、この試験方法は、時間が非常にかかり、またアレいを物理的に損傷することもある。このため、機械的に位置決めされたプローブを用い、実験的な小領域アレいについてディスプレイ・セル・トランジスタの試験を行っているのが現状である。したがって、トッププレート(逆電極)を適正位置に合わせなくても大きなアレい上の全トランジスタ、ITO接点、ゲートラインおよびドレインラインを試験することができれば好都合である。そして、試験を受けるセルの任意の箇所に物理的な接触を及ぼすことなく、アレい内の個々の素子を試験し、有用なアナログ情報を得ることができれば、さらに好ましいことである。

(課題を解決するための手段)

本発明においては、TFT/LCDセル・コンデンサ上の電荷を検出する検知回路は、データラインを介してTFT/LCDセル・コンデンサに付加された第1の積分回路を備え、該データライ

ンは薄膜トランジスタを介して該セル・コンデンサに接続される。この薄膜トランジスタはゲート、ドレインおよびソースを有し、該ソースはセル・コンデンサに接続され、該ドレインはデータラインに接続される。第1のゲート供給電圧は薄膜トランジスタのゲートを駆動するようになされる。また、リセット回路が積分回路をリセットするようになされる。さらに、該電荷の測定に先立ち前記セル・コンデンサを充電する手段、例えばデータラインにスイッチ可能に付加される調整可能な電源電圧が設けられる。

より詳細には、入力端子および出力端子を備え、るとともに、非反転入力端子、反転入力端子および出力端子を有する演算増幅器を備えた薄膜トランジスタ試験回路装置について説明する。この演算増幅器の出力端子は前記試験回路の出力端子に接続され、前記非反転端子はアース電位に接続される。前記反転端子と前記演算増幅器の出力端子の間には積分回路が接続される。第1の電位と前記試験回路入力端子の間には第1のスイッチが接

接続される。前記反転入力端子に前記試験回路が接続される。前記反転入力端子と前記試験回路の出力端子との間で前記積分コンデンサにリセット回路が接続される。

本発明はさらに、例えばバックプレートを取り付ける前のLCDのセルのような部分的に構成された電子回路を試験する方法を含む。この部分電子回路は、例えばセルパッド電極のような接点電極のアレイと、例えばゲート電極のようなアドレス電極のアレイとを備える。アドレス電極は接点電極に電気的に接続される。この方法は、該部分回路に、例えば少なくとも第1の接点電極に沿って延在しかつそれから離間されている隣接データ電極のような試験電極を設けるステップと、第1の接点電極と試験電極との間の容量を測定するステップとを有する。

ゲートラインを介してゲート端子に接続されたゲートと、ソース端子を介して液晶セル・コンデンサパッドに接続されたソースと、データラインを介して試験回路に接続されたドレインとを有す

る薄膜トランジスタを上記の試験回路を用いて試験する方法は、次のような諸ステップを有する。即ち、プロセスを開始するための積分器をリセットし、第3のスイッチを開成し、第1のスイッチを開成する。次に、少なくともデータラインの時定数に対応する第1の所定の時間だけ待つ。次に、前記薄膜トランジスタをオンにバイアスするのに十分な電圧を前記ゲート端子に付与する。次に、前記薄膜トランジスタがセル容量を充電するための少なくとも試験時間（即ち、前記のセルの充電時間）に対応する第2の所定時間だけ待つ。次に、前記薄膜トランジスタをオフにバイアスするのに十分な電圧を前記ゲート端子に付与する。前記薄膜トランジスタはいったんオフにバイアスされると、通常動作の期間中セルのホールド時間に対応する時間期間だけオフ状態に保持される。この時間期間中に、前記試験回路は、前記セルに蓄積された電荷の測定のために前記積分器を準備させるようリセットされる。この蓄積電荷は、前記薄膜トランジスタをターンオンするのに十分な電圧を

前記ゲートに付与することにより測定される。次に、少なくとも前記セル・コンデンサから電荷を積分する前記演算増幅器へ電荷を移すために十分な所定時間だけを待つ。次いで、前記薄膜トランジスタをターンオフするのに十分な電圧を前記ゲートに付与する。次いで、前記ゲートラインのRC時定数に対応する所定時間だけ待つ。そして、前記出力ノードの電圧をサンプリングする。

本発明の新規な特徴は請求の範囲に記載されている。しかし、本発明の他の目的および利点並びに構成および動作方法に関する本発明自体の特徴が、添付図面と関連した以下の説明に基づいて十分に理解されよう。

(実施例)

本発明は、薄膜トランジスタ/液晶ディスプレイ(TFT/LCD)アレイ内の個々のセルを特徴付けする方法を含む。この方法においては、トランジスタのしきい電圧および相互コンダクタンスに関する情報と一緒に各トランジスタの状態が表示される。加えて、各セルの漏れ電流および

C_{ss}を測定することができる。この方法は、故障分析試験、プロセス変化試験および生産ライン試験に有用である。

第1図において、薄膜トランジスタ(TFT)110は、ソース接点112、ドレイン接点114およびゲート接点116を有する。ソース接点112は、例えばインジウムスズ酸化物(ITO)からなる液晶ディスプレイ(LCD)パッド120に電圧を供給する。ドレイン接点114はデータライン118に接続される。ゲート接点116はゲートライン122に接続される。以上の構成をセルと称する。TFT/LCDアレイはそのようなセルを多数有する。各セルは、独特のゲートライン/データライン結合によってアドレス可能である。こうして、各セルは個別的にアクセス可能でかつ試験可能である。ゲートライン123およびデータライン119は、第1図に図示されていない特別のセル位置をアクセスするために用いられる。

第2図は、典型的なTFT/LCDセルに本発明を適用した一実施例の回路図である。このTFT

T/LCDセルは、第1図に関して上述したセルと類似のもので、第2図では概略的に示されている。第2図において、薄膜トランジスタ(TFT)210は、ソース接点212、ドレイン接点214およびゲート接点216を有する。ソース接点212は、第2図においてコンデンサ220として示されている液晶ディスプレイ(LCD)パッドに電圧を供給する。TFT/LCDセルのなかには該LCDパッドと並列に蓄積容量を有するものもある(第7図のコンデンサ721を参照のこと)。したがって、これらの蓄積コンデンサはコンデンサ220の容量に寄与するものである。ドレイン接点214はデータライン218に接続される。ゲート接点216はゲートライン222に接続される。第2図中のC₀は、トランジスタ210のゲート-ソース容量を表す。

フロントプレート無しで個々のセルトランジスタを試験するためには、LCDパッド120の寄生容量に蓄積されている電荷の大きさを検出する必要がある。第1図に示すような典型的な大形ディスプレイの個々のセルについて詳細に検討する。第

1図に示されるセルにおいて、LCDパッド120のみがトランジスタのソースに対して接続されている。このパッドから隣のゲートラインおよびドレインラインへの寄生容量は、第2図に示されるようにコンデンサ220に含まれている。

第2図には、良好な解像度で小電荷量を測定できるようにした本発明による検知回路230が示されている。この実施例において、演算増幅器234、コンデンサ232およびスイッチS3は、リセット可能な積分器を構成する。この演算増幅器234は、反転入力240と非反転入力242を有する。非反転入力242はアース電位に接続されている。反転入力240は、積分コンデンサ232およびスイッチS3を介して演算増幅器出力244に接続される。演算増幅器出力244は出力端子238に接続される。スイッチS2は、反転入力240を入力端子236に接続する。スイッチS1は、出力端子236とスイッチS2を電源電圧V_{cc}に接続する。入力端子236は検知回路230をデータライン218に接続する。ゲートライン222は電源電圧V_{cc}をトランジスタ210のゲート216

に接続する。スイッチS1、S2はドレイン接点214に印加される電圧を制御するために用いられる。スイッチS3は積分器280をリセットするために用いられる。R₀はデータライン218の分布抵抗を表す。C₀はデータライン218の分布容量を表す。R_gはゲートライン222の分布抵抗を表す。C_gはゲート222の分布容量を表す。C_{gs}はトランジスタ210のゲート-ドレイン容量である。なお、本発明で必要とされるコンデンサ220の接地は、例えば第1図において該コンデンサに隣接するデータライン123または同じく隣接するゲートライン119あるいはこれら両方を接地することによって行うことができる。このことは、第4図および第6図に示す実施例にも同様にあてはまる。

本発明によるTFT/LCDセルの試験方法の一実施例においては、1つのセルの機能品質、すなわち電荷を蓄積するセル能力を決定するために第2図の回路を用いることができる。第3図は、第2図に示す本発明の実施例を用いて本発明によるTFT/LCDを試験する方法についてのタイ

ミング図である。

第3図は、本発明の一実施例による試験シーケンスの図である。このタイミング図は、第2図のスイッチおよび電源回路に供給される信号のシーケンスを示している。第3図において時刻T1の前に、スイッチS1は開き、スイッチS2も開き、スイッチS3もまた開き、V_{cc}はほぼアース電位にあり、V₀もほぼアース電位にある。時刻T1で、スイッチS3は閉じて、検知回路230の出力を零にリセットする。また、時刻T1で、トランジスタ210がオンのとき、V_{cc}はコンデンサ220を充電するのに十分な値(例えば、ディスプレイの正常動作中にデータラインを駆動するために用いられる最大データ電圧)に設定される。普通のディスプレイにおいて、このデータライン電圧は約10ボルトでありうる。時刻T2で、スイッチS1が閉じて、V_{cc}をデータライン218に接続し、ドレイン214をバイアスする。時刻T3で、V_{cc}はトランジスタ210をターンオンするのに十分な値、例えばトランジスタ210のしきい電圧(約15ボルト)

の5倍の電圧値を越える値に設定され、これによってゲートライン222を介してゲート接点215がバイアスされ、トランジスタ210がターンオンする。時刻T4で、V_gはトランジスタ210をターンオンするのに必要な電圧以下に下がる。これにより、ゲートライン222を介してゲート接点216に供給される電圧が減少し、トランジスタ210がターンオフする。時刻T5で、V_gは例えばほぼアース電位近くまで下がり、これによりデータラインの分布容量(C_d)上の電荷を放電せしめる。時刻T6で、スイッチS1は開き、電源電圧V_{cc}をデータラインから切り離す。時刻T7で、スイッチS2は閉じ、トランジスタ210を演算増幅器234に接続せしめ、検知動作のため検知増幅器230を立ち上げる。時刻T8で、スイッチS3が開き、これによりデータライン218からの電流によってコンデンサ232の充電が開始される。時刻T9で、V_gはトランジスタ210をターンオンするのに十分な電圧まで増加する。時刻T10で、V_gはトランジスタ210をターンオフするのに十分な電圧まで低

減する。

第3図に示す本発明の実施例において、時刻T9と時刻T10間の期間を積分期間と称する。試験精度を保證するため、この積分期間の長さを少なくともセルの時定数の4倍の値にするのが通例である。このセル時定数は、例えば、試験セルのソース・ドレイン抵抗R_oおよびセル容量(第2図のコンデンサ220)を測定することにより、推算される。この積分期間中、スイッチS2は閉じ、スイッチS1は開き、これにより演算増幅器234は、演算増幅器234の反転入力240と非反転入力242間の見掛けのアース接地によるアース電位にドレインラインを保持する。したがって、この期間中、コンデンサ232に転送される電荷はコンデンサ220から除去された電荷にほぼ等しい。演算増幅器234の反転入力240は見掛けのアースであるから、ドレインラインの分布容量C_dに電荷は蓄積されていない。しかしながら、ドレインライン分布抵抗R_oとこの容量とによって、時定数(すなわちコンデンサ232を充電しコンデンサ220を放

電するのに必要な時間)が増大し、したがって積分期間が増大することになる。

積分期間中に、出力端子238の電圧は、時刻T9でゲートがバイアスされた時にC_oの電圧上昇を補償するのに必要な電荷と、容量C2のコンデンサ220から除去された電荷とに応じて変化する。しかしT10で、電圧V_gを下げることで、トランジスタ210がターンオフする。この電圧V_gは、C_oより電荷を除去し、第3図に示す出力端子238の電圧を低減する。したがって、時刻T10以後は、出力端子238の電圧は、ホールド期間(T9)の終端時にコンデンサ220に蓄積されている電荷にほぼ比例することになる。この出力電圧をアナログ-デジタル変換器によってデジタルワードに変換することが可能であり、またこの出力電圧を用いてセルの種々のパラメータを分析することもできる。この試験は、個々のセルに対して多数回繰り返され、任意の過渡エラーの平均がとられる。加えて、適切なゲートラインおよびデータラインを選択することで、ディスプレイ

の外部パッドをアクセスしてアレイ内の任意のセルを試験することができる。

検知回路がアレイ上の全てのデータラインに接続されている場合、与えられたゲートライン上の全てのトランジスタを同時に試験することができる。各トランジスタに対する基本機能の検査は約1ミリ秒を要する。従って、本発明の方法を用いると、1000×1000のアレイを1秒で試験することができる。

理解されるように、時刻T10以後に出力端子238に生ずる電圧の一部は、試験製品の寄生容量に起因している。しかし、この寄生容量の効果は測定可能であり、この効果分を出力端子238の電圧から減算することでコンデンサ220の電荷について一層正確な近似値を得ることができる。この寄生容量の効果は、例えば、時刻T3〜T4間の期間中にトランジスタ210をターンオンするのに必要なステップを省き、第3図につき上述した試験を繰り返すことによって、測定することが可能である。従って、時刻T10で、出力ノード238の

電圧は、試験部品における任意の寄生容量に蓄積されている電荷を表す。

第3図につき上述した試験によれば、アドレス中のセルの機能性が表示される。幾つかの時間期間および電圧を変更することで、セルの他の重要なパラメータを多数定義することができる。例えば、LCD漏れ抵抗は、出力電圧の測定値をホールド期間の間数としてプロットすることにより導出される重要なパラメータである。期間T4~T9は、ホールド期間として定義されるもので、実際のディスプレイにおいて1フレーム期間中に一個のセルに電荷が保持される時間期間を表す。なお、この期間は、T4~T9間の時間を延ばすことによって変えられる。T4~T5、T4~T6、T4~T7、T4~T8はT9~T10と同様に一定に維持される。例えば試験セルの容量を測定することによってセルの容量を決定することができるので、出力電圧をホールド期間の間数として対数プロットすることにより、漏れ抵抗の表示を行うことができる。

の)検知時間の終端時の電圧から減算し、必要なアナログーデジタル(A/D)変換の間数を2倍にすることによって、解消することが可能である。加えて、第2図に示す回路の出力範囲は、ある型式の商用A/D変換器(0~+5V)と互換性をもたないことがある。すなわち、この回路の出力がそのようなA/D変換器の入力範囲より低くなることもある。スイッチS3の過渡性に起因する不確実性を取り除き、出力端子238のDCバイアスを増大するため、第4図に示すような本発明の別の実施例が開発された。

第4図は、典型的なTFT/LCDセルに本発明を適用した好適一実施例を示す回路図である。このTFT/LCDセルは、第1図につき上述したセルと同様のもので、第4図では概略図として示されている。第4図において、薄膜トランジスタ(TFT)410は、ソース接点412、ドレイン接点414およびゲート接点416を有する。ソース接点412は、第4図においてコンデンサ420により概略的に表されている液晶ディスプレイ(LCD)に

同様にして、ゲート・オン時間(T3~T4)の間数として出力電圧のプロットを得るため、時間T3~T4間の時間を変えてセル充電時間を決定してもよい。上述のようにしてセル容量を決定できるため、T10以後時間的にゲート・オン時間の間数として与えられる出力電圧を対数プロットすることでセル充電時間の表示を行うことができ、これにより、ひいてはセルトランジスタのドレイン・ソース抵抗 R_{DS} を表示することができる。

同様に、データラインV_D上の電圧を変え、かつ多数回繰り返し行われる試験にわたって出力電圧を測定することにより、データライン電圧の間数としてプロットされた出力電圧からセル内のトランジスタのしきい電圧を導出することが可能である。

第2図の回路は、時刻T8でスイッチS3が開いた時存在する過渡電流に影響されやすい。この影響は、検知動作の開始に先立って(すなわち時刻T9の前に)出力端子238の電圧をサンプリングし、そのサンプリングした電圧を(時刻T10後

電圧を供給する。ドレイン接点414はデータライン418に接続される。ゲート接点416はゲートライン422に接続されている。第4図においてC₀はトランジスタ410のゲート・ソース容量を表している。

第4図に示す本発明の実施例において、リセット制御部456はスイッチS3の代わりに用いられる。このリセット制御部456は、リセット基準電圧(V_{ref})と比較回路とを有し、アナログ積分器480に対するリセットレベルを制御する。この実施例では、スイッチS2が抵抗器460およびコンデンサ462に置き換えられている。R₀はドレインライン418の分布抵抗を表し、一方C₀はドレインライン418の分布容量を表す。100万セルの行および1000セルの列からなるディスプレイにおいて、分布容量は約1ナノファラッドに近い値である。

第4図の実施例において、演算増幅器434、コンデンサ432およびリセット制御部450は、リセット可能な積分器を形成する。演算増幅器434は、反転入力440および非反転入力442を有する。非反

転入力442はアース電位に接続される。反転入力440は、コンデンサ432およびリセット制御部450を介して演算増幅器出力444に接続される。演算増幅器出力444は出力端子438に接続される。抵抗460は、非反転入力440を入力端子436に接続する。スイッチS1は入力端子436、抵抗460およびコンデンサ462を電源電圧V_{cc}に接続する。入力端子436は検知回路430をデータライン418に接続する。スイッチS1は、ドレイン接点414に付与される電圧を制御するために用いられる。

第5図は、第4図に示す装置を用いた本発明の方法の一実施例のタイミング図である。以下の説明で参照される全ての時刻は、第5図に示す時刻に関連する。時刻T1の前に、スイッチS1は開き、リセット信号は立ち上げられ、V_{cc}はアース電位近くにあり、V_{ss}はアース電位近くにある。ある単一の充電試験の第1ステップは、データ電圧をその試験に望ましい値に安定化することである。従って、T1において、データ電圧V_dはコンデンサ420を充電するのに十分な値に設定され

る。データ電圧V_dは、好ましくは、ディスプレイ動作で使用される全範囲の値にわたり調整可能でなければならない。おしれネマチック液晶を用いる典型的なTFT/LCDの場合、このデータ電圧を約零ボルトから11ボルトまでの範囲にすることができる。ある種のディスプレイにおいては、このデータ電圧を約14ボルトまで高くすることが可能である。時刻T1で、トランジスタ410はゲート416(V_g)の電圧によってオフに保持され、スイッチS1が開いてデータ電圧V_dからデータラインを切り離し、スイッチS3に対応するリセット制御部450により積分器480の出力444を予め選定されたレベルにリセットする。この予め選定されたレベルは、V_{ref}により規定されるもので、A/D範囲(例えば4ボルト)のほぼ中心である。時刻T2で、スイッチS1が閉じて、データ電圧(V_d)をデータライン418に接続する。この状態は、少なくともデータライン418の時間定数 $\tau_{data\ line}$ の時間保持される。このデータライン時間定数は、 $\tau_{data\ line} = (R_d C_d)$ であって、R_d

はデータライン抵抗、C_dはデータライン容量である。

時刻T3でゲート電圧V_gがターンオンする。誘導トランジスタのチャネルを確実にターンオンさせるためにはゲートオン電圧を該トランジスタのしきい電圧よりも高くしなければならず、反対に、そのトランジスタチャネルを確実にオフにバイアスするためにはゲートオフ電圧を該トランジスタのしきい電圧よりも低い値に選ばなければならない。ゲートパルスの幅はゲートラインの時間定数($\tau_{gate\ line} = R_g C_g$)よりも大きくなければならない。ゲートパルスの終端の時刻T4で試験機はホールド時間(T4~T8)に入り、この期間中、セルに転送された電荷がコンデンサ420に蓄積される。この期間は、少なくとも1ライン時間の間セル容量に電荷を蓄積する実際のディスプレイをエミュレートする。N本のゲートラインおよび毎秒M回のリフレッシュサイクルを有するディスプレイの場合、ゲートパルス幅は $\tau_{gate\ pulse} = 1 / (N * M)$ で、ホールド時間は約 $1 / M$ と

なる。100Hzのリフレッシュで動作する典型的な1000ゲートライン・ディスプレイの場合、ゲートパルス幅は10マイクロ秒で、ホールド時間は10ミリ秒である。このホールド時間中に、データ電圧V_dは時刻T5で零ボルト復帰する。時間T5で、開成するスイッチS1によってデータラインはデータ電圧源から切り離される。適正な動作を確保するため、時刻T5は少なくともゲートライン時間定数($\tau_{gate\ line}$)によってゲートパルスの立ち下がりエッジよりも遅らされる。データライン418が見掛けのアース電位にある演算増幅器480の反転入力440に接続されているため、データライン上の電圧はアース電位までゆるめられ、それに少なくとも1データライン時間定数($\tau_{data\ line}$)を要する。データライン電圧がアースまでゆるめられた後、時刻T7において、コンデンサ432がリセット制御部450により維持されるリセット電圧レベルから開放される。従って、時刻T7で、積分器434は演算増幅器の反転入力に流れ込む電流の積分を開始する。ホールド時間の終端の時刻

T 8 で、ゲート電圧はターンオンして両端トランジスタのしきい電圧よりも高いレベルになり、これによって確実に、トランジスタチャネルがセル容量をデータラインに抵抗接続する。時刻 T 7 と T 8 の間で出力 438 の電圧が、あるレベル（第 5 図において A）まで下がる。これは、リセット信号の制御を受けるスイッチを開くことによって生ずる過渡現象に起因する。ゲート電圧は、幾つかのセル放電時定数の時間保持されることにより、確実に、セル容量の全ての電荷が演算増幅器の見掛けのアース電位へ戻ることが可能となり、コンデンサ 432 による積分が可能となる。時刻 T 9 で、ゲート電圧 V_g は減少し、トランジスタ 410 をターンオフする。この電圧は瞬間的に測定可能であるが、普通は、少なくともゲートライン時定数（ τ_{gate} ）の時間待つのがよい。アナログ・デジタル変換器において、時刻 T 8 直前の出力と時刻 T 9 後の出力との電圧差は、セル容量 420 に蓄積された電荷に実質的に比例（ $Q_{cell} = (V_{out} - V_{reset}) C_1$ ）している。

も接続され、これらのライン 694 はそれぞれスイッチ S 5 に接続されている。スイッチ S 5 は、例えば、プリシジョン・モノリシック・インテグレートッド・サーキット社製の SW202 アナログスイッチでよい。第 6 図の試験回路は一時に 1 つのデータラインにしか接続されないの、スイッチ S 5 を用いて非選択スイッチを接地することができる。これによりバックプレートを除かないときでもセル容量に対して良好なアース基準を確保することができる。試験時間中スイッチ S 5 は開状態に保持されるため、スイッチ S 4 によって選択されたデータラインは接地されない。スイッチ S 4 により選択されたデータラインは、スイッチ S 1 を介して V_g に接続されるとともに、抵抗器 660 を介して演算増幅器 634 に接続される。抵抗器 660 は、例えば 10 キロオームでよい。演算増幅器 634 は、例えば OP-17 でよい。演算増幅器 634 の非反転入力 642 はアース電位に接続され、これにより反転入力 640 に見掛けの上のアースが形成される。反転入力 640 はコンデンサ 632 に接続されている。

セル転送される電荷量を決定するために、ゲートオン時間（T 3 ~ T 4）を変更することができる。このデータを用いて 1 つのセルに対する時定数を計算することができる。

リセット制御部 450 は、演算増幅器の出力を T 1 ~ T 7 の期間中一定電位（ V_{reset} ）に保持するように設計されている。演算増幅器 434 の出力は、T 7 後に反転入力に流れ込む積分電流によって制御される。

第 6 図は、本発明の別の好適な実施例の回路図である。試験されるべき TFT/LCD アレイのデータラインはコネクタ 690 を介して試験回路に接続される。アナログ・マルチプレックス・スイッチ S 4 は、ライン 692 を介して試験回路に接続されるべき 1 つのデータラインを選択するために使われる。アナログ・マルチプレックス・スイッチ S 4 は、例えば、プリシジョン・モノリシック・インテグレートッド・サーキット社製の MUX 16 アナログ・マルチプレックス・スイッチでよい。データラインはコネクタ 690 を介してライン 694 に

コンデンサ 632 は、演算増幅器出力 644 にも接続され積分コンデンサとして動作する。コンデンサ 632 は、例えば、5 ピコファラッド程度のものでよい。しかし、そのサイズは、通常は積分器の出力電圧の所望の振幅によって決定されよう。演算増幅器 634 はコンデンサ 632 と組合わさって積分器 680 を構成する。コンデンサ 632 の電圧は各試験後にリセットされなければならないので、リセット回路 650 が備えられている。リセット回路 650 は、2 つの信号 V_{ref} およびリセットとを有する。スイッチ S 3 はリセット信号で制御されるので、リセット信号のレベルは、スイッチ S 3 を駆動するのに十分でなければならない。スイッチ S 3 は、例えば通常の TTL レベルを必要とするプリシジョン・モノリシック・インテグレートッド・サーキット社製の SW202 でよい。 V_{ref} は演算増幅器 652 の反転入力 656 に基準信号を供給する電圧レベルである。演算増幅器 652 は例えば OP-16 でよい。 V_{ref} はコンデンサ 659 を介してアース電位に接続される。コンデンサ 659 はノイズフ

ルックとして動作するもので、基準電圧から交流ノイズを効果的に取り除くためには、例えば0.1マイクロファラッドの容量を有するものでよい。演算増幅器652の非反転入力658は、コンデンサ632の一方の電極と演算増幅器634の出力644とに接続される。演算増幅器652の出力は抵抗器651に接続され、抵抗器651はスイッチS3の一方の端子に接続される。抵抗器651は例えば4.99キロオームの抵抗値を有するものでよい。スイッチS3の他方の端子は、抵抗器657を介してアース電位に接続されるとともに、抵抗器654とコンデンサ655との並列回路を介してコンデンサ632に接続される。抵抗器657は例えば4.02キロオームの抵抗値を有するものでよい。抵抗器654の抵抗値は例えば3.01キロオームでよい。コンデンサ655の容量は例えば3ピコファラッドでよい。リセット回路650と積分器680との組合せはリセット可能な積分器を構成する。

当業者には明らかなように、第4図の実施例を実施する一手段として、第4図のリセット制御部

減ずること、より一層改善することができる。この寄生容量は、充電サイクルの期間中トランジスタをターンオフにして出力電圧を測定することによって、測定可能である。出力電圧は試験備品の寄生容量に比例するので、この電圧を通常試験中に測定された電圧より減ずることができる。本発明の方法においては、試験を数回実行し、測定された出力電圧を平均化することによって測定値からランダムエラーを取り除くことにより、解像度をさらに改善することができる。

(第1図のような)蓄積容量を用いないLCDディスプレイにおいて、本発明による方法によって測定される主要な容量は、パッドとそれに隣接するゲートラインとの間の容量である。通常のTFT/LCDディスプレイを設計するにあたっては、充電時間を増大させるようこの容量を最小化するのが望ましい。そうすると、不都合にも本発明による試験方法の精度が減少する。測定される電荷を増大させるために、本発明の方法を用いると、装置の列を1列おきに試験することで、ピク

セル容量を増大させることができる。これにより、隣接するゲートラインに対する容量だけでなく隣接するドレインラインに対する容量も利用することができる。1インチあたり80個の画素で、10ミクロンのギャップを用いるディスプレイの場合は、全寄生容量を約0.05ピコファラッドと見込んでよく、1インチあたり160個の画素で、10ミクロンのギャップを用いるディスプレイの場合は、積容量を約0.025ピコファラッドと見込んでよい。

本発明の一実施例においては、16極アナログマルチプレクサを用いて16本のデータラインのうちから1本を試験に選ぶ。残りの15本のデータラインはアナログスイッチを用いて接地する。こうして、出力電圧は、選択されたデータライン上の1つのセルに蓄積された電荷に比例することになる。このセルは、ゲートラインを選択することによって決定される。

第6図において、スイッチS3はアナログスイッチ(典型的にはブレリジョン・モノリシック・インコーポレーテッド:P M I社製のSW202)であっ

てよく、演算増幅器（典型的にはP M I社製のO P 16）の出力ノードを積分演算増幅器（典型的にはP M I社製のO P 17）に接続または切り離しを行い、O P 16演算増幅器の非反転出力はO P 17の出力に接続され、O P 16の反転入力 V_{ref} に接続される。スイッチS 2が閉じると積分コンデンサC 1の電位は V_{ref} に固定され、スイッチS 2が開じると積分コンデンサによるディスプレイのデータラインからの電流の積分が可能となる。

以上、LCDディスプレイに使用されるTFTアレイ・セル容量のアナログ試験方法について述べた。この方法は、従来のデジタル試験方法に比して大きな利点を与える。また、寄生効果およびノイズ誘導エラーを最小化するための技術について述べた。最後に、ゴー／ノーゴー、しきい電圧、相互コンダクタンス、漏れ電流、およびC₁を試験するため、本発明による方法を用いる試験手順について説明した。

LCDコンデンサを充電または放電するためにアモルファス・シリコン抵抗器のような感光素子

をLCDセルに使うことが可能なことが知られている（米国特許第4,819,038号参照）。本発明による回路を用いてコンデンサの電荷の変化を検出することができることは明らかである。したがって、本発明は、入力装置を構成するのに使用可能である。

4. (図面の簡単な説明)

第1図は、典型的なTFT/LCDセルを示す図。

第2図は、典型的なTFT/LCDセルの回路図を含む、本発明の一実施例の構成図。

第3図は、本発明の方法の一実施例におけるタイミング図。

第4図は、典型的なTFT/LCDセルの回路図を含む本発明の実施例の構成図。

第5図は、本発明の実施例におけるタイミング図。

第6図は、本発明の別の実施例を示す図。

第7図は、蓄積コンデンサを含む典型的なTFT/LCDセルを示す図である。

110…薄膜トランジスタ (TFT)、
112…ソース接点、 114…ドレイン接点、
116…ゲート接点、 118, 119…データライン、
120…液晶ディスプレイ (LCD) パッド、
123…ゲートライン、210…薄膜トランジスタ、
212…ソース接点、 214…ドレイン接点、
216…ゲート接点、 218…データライン、
220…コンデンサ、 222…ゲートライン、
230…検知回路、 232…コンデンサ、
234…演算増幅器、 236…出力端子、
240…反転入力、 242…非反転入力、
51, 52, 53…スイッチ、410…薄膜トランジスタ、
412…ソース接点、 414…ドレイン接点、
416…ゲート接点、 418…ドレインライン、
422…ゲートライン、432…コンデンサ、
434…演算増幅器、 436…入力端子、
438…出力端子、 440…反転入力、
442…非反転入力、 444…演算増幅器出力、
450…リセット制御部、
460…抵抗器、 462…コンデンサ、

480…アナログ積分器、 632…コンデンサ、
634…演算増幅器、 640…反転入力、
642…非反転入力、 644…演算増幅器出力、
650…リセット回路、651…抵抗器、
652…演算増幅器、 654…抵抗器、
655…コンデンサ、 656…反転入力、
657…抵抗器、 658…非反転入力、
659…コンデンサ、 660…抵抗器、
680…積分器、 690…コネクタ、
692, 694…ライン、 54, 55…スイッチ。

代理人 弁理士 湯 法 三
(外1名)

FIG. 1

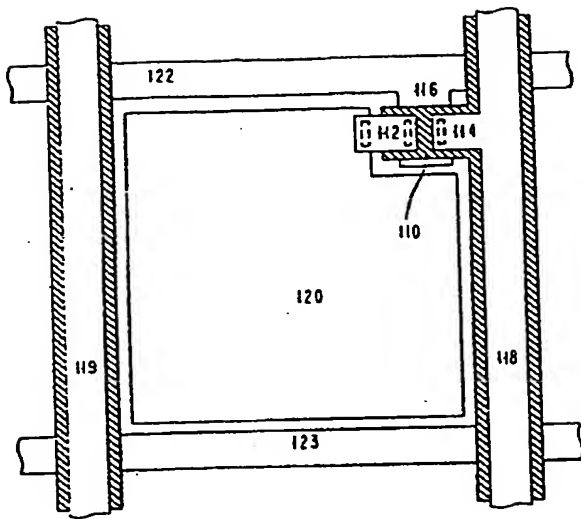


FIG. 3

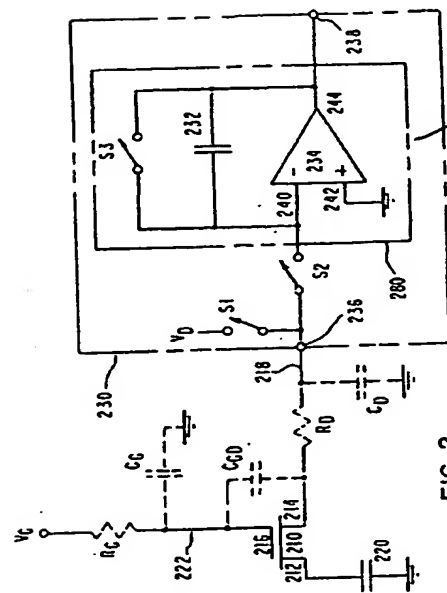
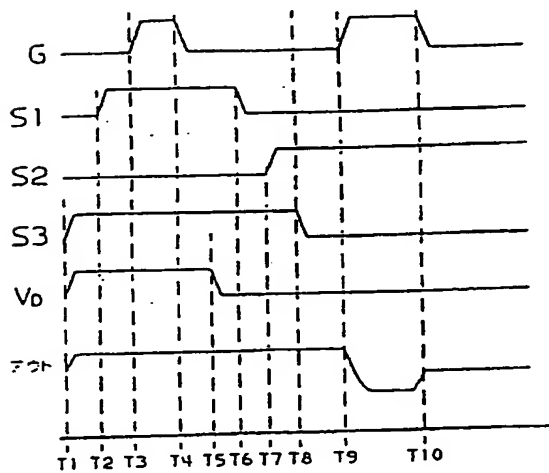


FIG. 2

出力
nij
312
暗電流
1275
-0.15

FIG. 4

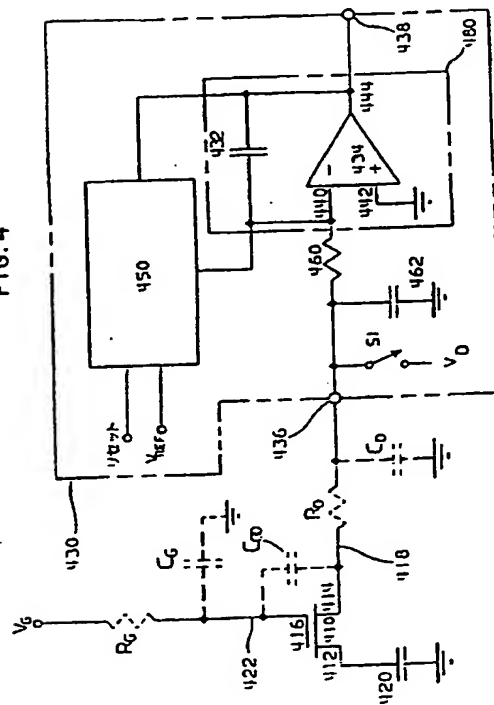


FIG. 5

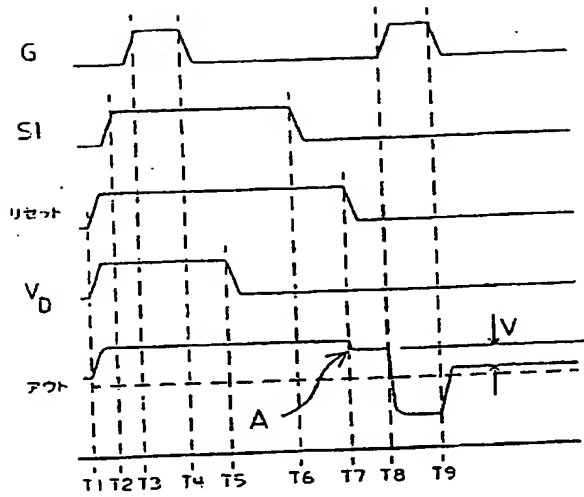


FIG. 6

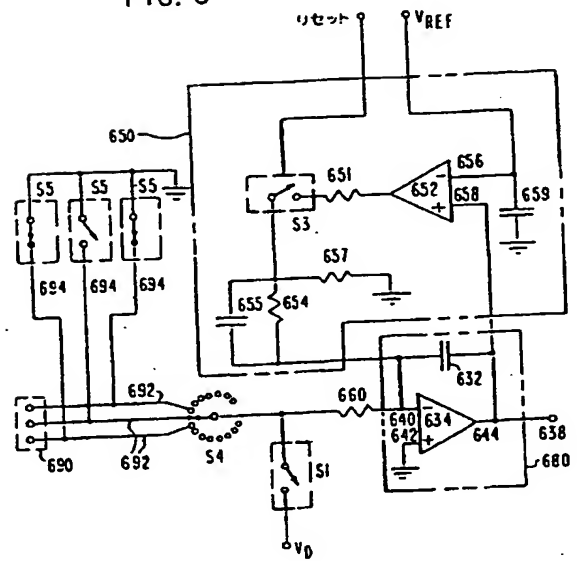


FIG. 7

